

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-193562

(43)Date of publication of application : 10.08.1988

(51)Int.Cl. H01L 29/72

(21)Application number : 62-025728

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.02.1987

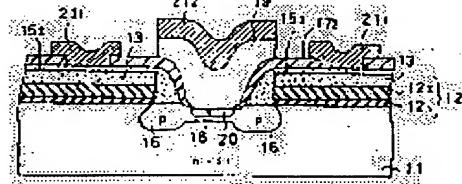
(72)Inventor : HAMAZAKI TOSHIHIKO

(54) MANUFACTURE OF BIPOLEAR TRANSISTOR

(57)Abstract:

PURPOSE: To make a second-layer polycrystalline silicon film to remain on an outer base layer with good controllability, by using an etching method having a large etching selection ratio between a impurity doped region and a non-doped region.

CONSTITUTION: An impurity doped first-layer polycrystalline silicon film 13 is deposited on a first conductivity type semiconductor substrate 11 through an insulating film 12. A specified hole is provided in this film. With the polycrystalline silicon film 13 as a mask, the insulating film 12 is etched and the surface of the substrate is exposed. Then non-doped second-layer polycrystalline silicon films 15 (151 and 152) are deposited. Before the films 15 are etched, heat treatment is performed. The impurities in the first-layer polycrystalline silicon film are diffused into a part of the second-layer polycrystalline silicon film and into the substrate at the same time. Thus a second conductivity type outer base layer 16 is formed. Thereafter, the non-doped region of the second-layer polycrystalline silicon film 15 is selectively etched away without a mask by an etching method, whose etching selecting ratio with respect to the impurity doped region is large. Thus the surface of the substrate is exposed. Then, an inner base layer 18 and an emitter layer 20 are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

Best Available Copy

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑱ 公開特許公報 (A)

昭63-193562

⑲ Int.CI.³
H 01 L 29/72識別記号
厅内整理番号
8526-5F

⑳ 公開 昭和63年(1988)8月10日

審査請求 未請求 発明の数 1 (全 8 頁)

㉑ 発明の名称 バイポーラトランジスタの製造方法

㉒ 特願 昭62-25728

㉓ 出願 昭62(1987)2月6日

㉔ 発明者 浜崎 利彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉕ 出願人 株式会社 東芝 神奈川県川崎市幸区堀川町72番地

㉖ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

バイポーラトランジスタの製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板上に絶縁膜を介して不純物がドープされた第1層多結晶シリコン膜を堆積する工程と、前記第1層多結晶シリコン膜を選択的にエッチング除去し、残された第1層多結晶シリコン膜をマスクとして前記絶縁膜を選択的にエッチング除去する工程と、この後アンドープの第2層多結晶シリコン膜を堆積する工程と、熱処理をして前記第1層多結晶シリコン膜の不純物を前記第2層多結晶シリコン膜の一部に拡散させると同時に、前記基板の一部に拡散させて第2導電型の外部ベース領域を形成する工程と、前記第2層多結晶シリコン膜のうちアンドープ領域を、不純物ドープ領域よりエッチング速度の速いエッチング方法を用いてマスクなしで選択的にエッチング除去する工程と、残された多結晶シリコン膜および露出した基板の表面を酸化する工程と、基

板上の薄い酸化膜をエッチング除去し、露出した基板に内部ベース領域にてエミッタ層を形成する工程とを備えたことを特徴とするバイポーラトランジスタの製造方法。

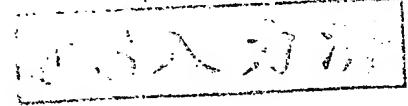
(2) 前記絶縁膜を選択的にエッチング除去する工程は、アンダーカットが生じないように行われる特許請求の範囲第1項記載のバイポーラトランジスタの製造方法。

(3) 前記絶縁膜を選択的にエッチング除去する工程は、アンダーカットが生じるように行われる特許請求の範囲第1項記載のバイポーラトランジスタの製造方法。

(4) 前記基板はシリコン基板であり、前記絶縁膜はシリコン酸化膜とシリコン窒化膜の積層膜である特許請求の範囲第1項記載のバイポーラトランジスタの製造方法。

(5) 前記絶縁膜は一層である特許請求の範囲第1項記載のバイポーラトランジスタの製造方法。

(6) 前記第1層多結晶シリコン膜を選択的にエッチング除去した後で前記絶縁膜を選択的エッ



チング除去する前に、前記第1層多結晶シリコン膜を酸化する特許請求の範囲第3項記載のバイポーラトランジスタの製造方法。

(7) 前記第2層多結晶シリコン膜のアンドープ領域を選択的にエッチング除去する工程は、ヒドラジンを含む溶液エッチングにより行われる特許請求の範囲第1項記載のバイポーラトランジスタの製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は、バイポーラトランジスタに係り、特に集積回路用の超小型のバイポーラトランジスタの製造方法に関する。

(従来の技術)

超小型のバイポーラトランジスタの製造方法として、不純物ドープ多結晶シリコン膜を、外部ベース層の不純物拡散源として用いると同時に、ベース電極引出し用として用い、またこの多結晶シリコン膜の一部に開口を設けてエミッタ層とベ

ース層を自己整合的に形成する方法が知られている（例えば、S. Nonaka et al., Extended Abstracts of the 18th Conf. on Solid State Devices and Materials, 1984, p.209 ~ 212 参照）。この従来法の概略を説明すると、まず半導体基板上に絶縁膜を介して不純物ドープの第1層多結晶シリコン膜を堆積して、この多結晶シリコン膜に所定の開口を開ける。次いでこの多結晶シリコン膜をマスクとして絶縁膜をエッチングし、基板面を露出させる。この際、絶縁膜を横方向にオーバーエッチングして第1層多結晶シリコン膜の下にアンダーカットを形成する。この後、アンドープの第2層多結晶シリコン膜を堆積し、これをエッチングしてアンダーカット部にのみ埋込む。そして熱酸化して多結晶シリコン膜表面および基板表面に酸化膜を形成すると同時に、第1層多結晶シリコン膜の不純物を第2層多結晶シリコン膜を介して基板面に拡散させて、外部ベース層を形成する。更に、開口部から不純物をドープして内部ベース層を形成し、次いで、

開口側壁に側壁残しの技術を用いてアンドープ多結晶シリコン膜を選択的に形成して開口径を小さくし、この開口から、不純物ドープ多結晶シリコン膜を用いてベース層に自己整合されたエミッタ層を形成する。この後必要な端子電極を形成する。このとき第1層多結晶シリコン膜はベース電極の一部として用いる。

この従来法では、第2層多結晶シリコン膜がアンドープであり、そのままこれをエッチングするため、第1層多結晶シリコン膜のアンダーカット部への埋まり具合の制御が難しい。またアンダーカット部に埋め込まれる第2層多結晶シリコン膜の開口端面は急峻になり、この後熱酸化膜を形成した時にこの開口端面での酸化膜形成により応力が発生して基板に歪みを与える。このため、トランジスタのリーク電流が発生し易くなる。また、エミッタ幅を狭くするために第1層多結晶シリコン膜の開口側壁に更に多結晶シリコン膜を形成する、という工程が必要であり、工程が複雑であった。

【発明が解決しようとする問題点】

以上のように、多結晶シリコン膜を不純物拡散源として用いて外部ベース層を形成し、更にこの多結晶シリコン膜を残して、ベース層に自己整合的にエミッタ層を形成するという従来の超小型トランジスタの製造方法では、アンダーカット部に多結晶シリコン膜を埋込む際のエッチングの制御が難しく、また応力歪みに起因するリーク電流が増大しやすく、工程も複雑である、といった問題があった。

本発明は、この様な問題を解決したバイポーラトランジスタの製造方法を提供することを目的とする。

【発明の構成】

(問題点を解決するための手段)

本発明の方法はまず、第1導電型の半導体基板上に絶縁膜を介して不純物ドープの第1層多結晶シリコン膜を堆積し、これに所定の開口を開けてこの多結晶シリコン膜をマスクとして絶縁膜をエッチングして基板面を露出させる。次いでアン

ドープの第2層多結晶シリコン膜を堆積し、これをエッティングする前に熱処理を行って第1層多結晶シリコン膜の不純物を第2層多結晶シリコン膜の一部に拡散すると同時に基板に拡散して第2導電型の外部ベース層を形成する。この後、第2層多結晶シリコン膜のアンドープ領域を、不純物ドープ領域に対してエッティング選択比の大きいエッティング法によりマスクなしで選択的にエッティング除去して基板面を露出させる。そして多結晶シリコン膜および基板表面に熱酸化膜を形成し、次いで開口部から不純物をドープして内部ベース層を形成し、更にこれに自己整合的にエミッタ層を形成する。

(作用)

本発明の方法では、アンドープの第2層多結晶シリコン膜をエッティングする前に熱処理を行って外部ベース層を形成する。従って第2層多結晶シリコン膜をエッティングする際、その一部に不純物がドープされているから、不純物ドープ領域とアンドープ領域のエッティング選択比の大きいエッ

チング法を用いることによって、第2層多結晶シリコン膜を外部ベース層上に制御性よく残すことができる。しかもこのとき残される第2層多結晶シリコン膜は、開口端面に所定の傾斜が形成される。従ってこの後熱酸化膜を形成した時に基板に入る応力歪みが小さく、この結果リーク電流の小さいトランジスタが得られる。また、外部ベース層形成後の熱酸化では、多結晶シリコン膜は不純物ドープ領域のみとなっているから、多結晶シリコン膜の開口端面に厚い酸化膜を形成することができる。従って従来のように、エミッタ幅を狭めるために多結晶シリコン膜の開口部側壁に更にアンドープ多結晶シリコン膜を形成する、といった工程を必要としない。

(実施例)

以下、本発明の実施例を説明する。

第1図(a)～(i)は一実施例のn-p-nトランジスタの製造工程を示す断面図である。(a)に示すように、コレクタとなるn型Si基板11に絶縁膜12を介してボロン・ドープの第1層多

結晶シリコン膜13を堆積する。絶縁膜12はこの実施例では、熱酸化による1000Åのシリコン酸化膜12₁とCVDによる2000Åのシリコン窒化膜12₂である。多結晶シリコン膜13の不純物ボロンは、堆積と同時にドープしてもよいし、堆積後イオン注入法等でドープしてもよい。この後(b)に示すようにフォトレジスト14をパターン形成し、反応性イオンエッティング法により第1層多結晶シリコン膜13をエッティングして開口を設け、次いで窒化膜12₂をケミカルドライエッティングにより、更に酸化膜12₁をウェット・エッティングにより、順次選択エッティングして除去する。この実施例では、図示のようにアンダーカットが生じないようにこれらの絶縁膜エッティングが行われる。そしてフォトレジスト14を除去した後、(c)に示すように全面にアンドープの第2層多結晶シリコン膜15を3000Å程度堆積する。この後、熱処理を行ない、(d)に示すように第1層多結晶シリコン膜13の不純物であるボロンを第2層多結晶シリコン膜15の一部

から更に基板11の一部に拡散させて、外部ベース層16を形成する。第2層多結晶シリコン膜15は図示のように、開口部中央にアンドープ領域15₁が残り、それ以外の部分はボロン・ドープ領域15₂となる。

次いで(e)に示すように、ヒドラジンを含む溶被エッティングにより、第2層多結晶シリコン膜15のアンドープ領域15₁を選択的にエッティング除去し、基板11の面を露出させる。このエッティング法では、アンドープ多結晶シリコンに対するエッティング速度が不純物ドープ多結晶シリコンに比べて十分大きいため、マスクなしで図示のように選択的にアンドープ領域15₁を除去することができる。そしてこのときエッティングにより得られる開口端面は、ボロン拡散の状態に応じて基板面に対して所定の傾斜をもつものとなる。この後熱酸化により、(f)に示すように基板表面および多結晶シリコン膜表面にそれぞれ、酸化膜17₁および17₂を形成する。このとき、単結晶基板と不純物ドープ多結晶シリコン膜の酸化速

度の違いにより、多結晶シリコン膜表面の酸化膜 17_2 の膜厚は基板 11 上の酸化膜 17_1 に比べて薄くなる。

次いでボロンをイオン注入して、(g)に示すように、多結晶シリコン膜の開口部基板面に内部ベース層 18 を形成し、HFを含むエッティング液により酸化膜エッティングを行って基板 11 面の薄い酸化膜 17_1 を除去する。この後、(h)に示すようにヒ素ドープの第3層多結晶シリコン膜 19 を 5000 \AA 程度堆積し、これをパターン形成した後、熱処理を行ってヒ素を基板 11 に拡散させてエミッタ層 20 を形成する。最後に(i)に示すように、酸化膜 17_2 にコンタクト孔を開け、A型膜の蒸着、バターニングにより、第2層多結晶シリコン膜 15_2 にコンタクトするベース電極 21_1 および第3層多結晶シリコン膜 19 にコンタクトするエミッタ電極 21_2 を形成する。

こうしてこの実施例では、(d)に示したように第2層多結晶シリコン膜 15 をエッティングする前に熱処理を行って第1層多結晶シリコン膜 13

の不純物を拡散させて外部ベース層 16 を形成している。従ってこの後(e)に示す第2層多結晶シリコン膜 15 のエッティング工程では、不純物ドープの有無によるエッティング速度の違いを利用して、第2層多結晶シリコン膜のボロン・ドープ領域 15_2 を制御性よく残すことができる。しかもこのとき形成される多結晶シリコン膜の開口端面は、(e)に示すように傾斜をもつため、この後熱酸化工程で基板に入る応力が少ない。従って接合リードの少ないトランジスタ特性が得られる。また熱酸化工程では、ボロン・ドープ多結晶シリコン膜の酸化速度が速いため、多結晶シリコン膜の開口端部に薄い酸化膜が形成される。これにより、複雑な工程を追加することなく、開口径を小さくして狭いエミッタ幅を得ることができる。

第2図(a)～(k)は他の実施例のn-p-nトランジスタの製造工程を示す断面図である。(a)に示すように、n型Si基板 31 に先の実施例と同様に酸化膜 32_1 と窒化膜 32_2 からなる複層絶縁膜 32 を形成し、この上にボロンをドープ

した第1層多結晶シリコン膜 33 を堆積する。第1層多結晶シリコン膜 33 は先の実施例より厚く 4000 \AA とする。この後、フォトレジスト 34 をパターン形成し、反応性イオンエッティング法により多結晶シリコン膜 33 をエッティング除去して開口を形成する。そしてフォトレジスト 34 を除去した後、熱酸化を行って(c)に示すように第1層多結晶シリコン膜 33 の表面に酸化膜 35 を形成する。次いで窒化膜 32_2 および酸化膜 32_2 を、(d)に示すようにアンダーカット部 36 が生じるようにエッティングする。このアンダーカット部 36 は、窒化膜 32_2 のエッティングに際してエッティング時間を十分に長くして横方向に所定距離後退させるようにエッティングし、その後酸化膜 32_2 をエッティングすることにより得られる。

この後、(e)に示すようにアンドープの第2層多結晶シリコン膜 37 を堆積する。そして熱処理を行ない、(f)に示すように第1層多結晶シリコン膜 33 のボロンを、第2層多結晶シリコン膜 37 の一部に拡散させ、更に基板 31 に拡散さ

せてp型の外部ベース層 38 を形成する。このとき第2層多結晶シリコン膜 37 は、アンダーカット部 36 の領域 37_2 にボロンがドープされ、それ以外の領域 37_1 はアンドープのまま保たれる。この後、ヒドラシンを混入させたエッティング液を用いて第2層多結晶シリコン膜 37 のアンドープ領域 37_1 を選択的にエッティング除去して、(g)に示すように基板面を露出させる。このとき先の実施例と同様に、第2層多結晶シリコン膜のエッティング開口端面は所定の傾斜をもつ。次いで、酸化膜 35 を一旦除去し、またはそのまま残した状態で熱酸化して、基板露出面および多結晶シリコン膜表面にそれぞれ酸化膜 39_1 および 39_2 を形成する。多結晶シリコン膜表面の酸化膜 39_2 は基板面の酸化膜 39_1 に比べて膜厚が十分に大きくなる。

この後、(h)に示すようにボロンをイオン注入してp型の内部ベース層 40 を形成し、基板面の薄い酸化膜 39_1 をHFによりエッティング除去する。更に、ヒ素ドープの第3層多結晶シリコン

膜4-1を5000Å堆積してパターン形成し、熱処理を行ってヒ素を基板に拡散させてn型のエミッタ層4-2を形成する。最後に、酸化膜3-9₂にコンタクト孔を形成し、Aと膜を蒸着、バクーニングして、(k)に示すようにベース電極4-3₁およびエミッタ電極4-3₂を形成する。

この実施例によっても、先の実施例と同様の効果が得られる。

本発明は上記実施例に限られるものではない。上記実施例では、n型Si基板を用いてこれをコレクタとするn-p-nトランジスタを製造する場合を説明したが、集積回路に適用する場合には例えば、p型Si基板にn型エピタキシャル層を形成したウェーハを用い、素子分離を行ってから、それぞれのn型層に上記実施例と同様にしてn-p-nトランジスタを形成することができる。また本発明は、不純物を選ぶことによりp-n-pトランジスタを製造する場合にも当然適用することができる。

【発明の効果】

以上述べたように本発明によれば、外部ベース

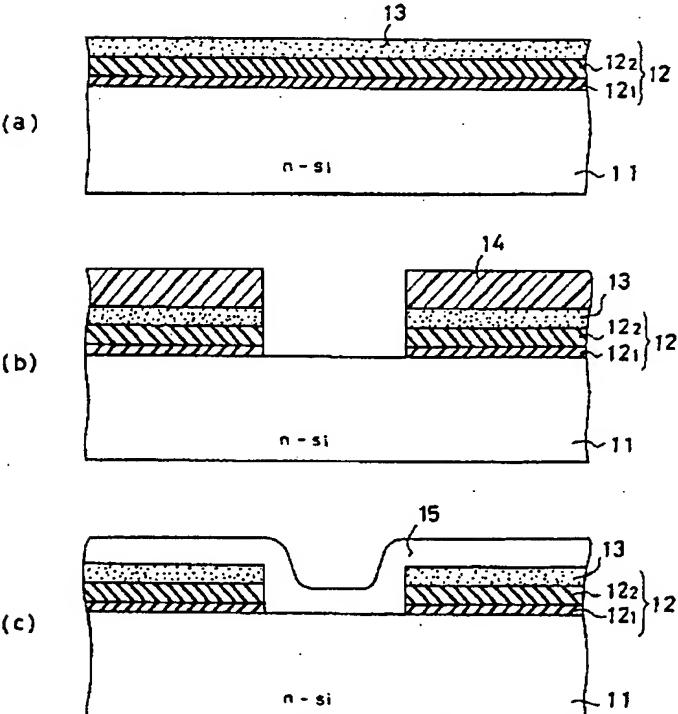
層の拡散源となり、ベース電極の一部となる第2層多結晶シリコン膜のエッチングに際し、不純物ドープ領域とアンドープ領域のエッチング速度の違いを利用することにより、エッチングの制御性が優れたものとなる。またこの時のエッチング端面が自動的に傾斜をもって形成される結果、この後の熱酸化膜形成に際して基板に応力がかかるのが抑制される。従って超小型の優れた特性のトランジスタが得られる。また、ベース層と自己発合的に形成されるエミッタ層の幅を狭くするにも複雑な工程を必要としない。

4. 図面の簡単な説明

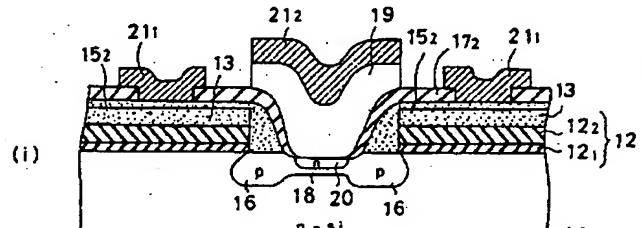
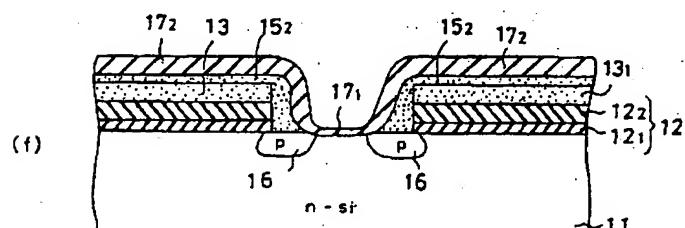
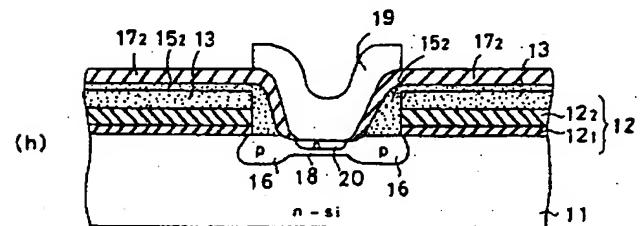
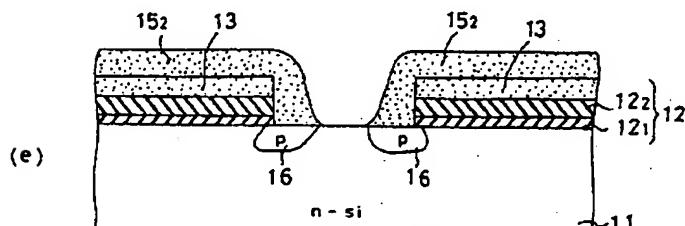
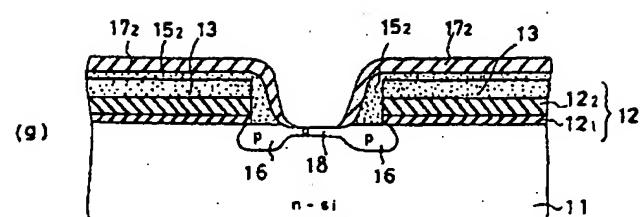
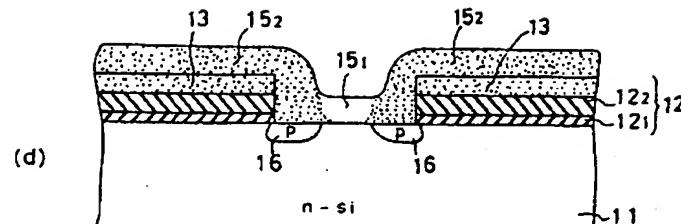
第1図(a)～(i)は本発明の一実施例のトランジスタの製造工程を示す断面図、第2図(a)～(k)は他の実施例のトランジスタの製造工程を示す断面図である。

11…n型Si基板、12…絶縁膜、12₁…シリコン酸化膜、12₂…シリコン窒化膜、13…第1層多結晶シリコン膜(ボロン・ドープ)、14…フォトレジスト、15…第2層多結晶シリ

コン膜(アンドープ)、16…p型外部ベース層、17₁、17₂…酸化膜、18…p型内部ベース層、19…第3層多結晶シリコン膜(ヒ素ドープ)、20…n型エミッタ層、21₁…ベース電極、21₂…エミッタ電極、31…n型Si基板、32…絶縁膜、32₁…シリコン酸化膜、32₂…シリコン窒化膜、33…第1層多結晶シリコン膜(ボロン・ドープ)、34…フォトレジスト、35…酸化膜、36…アンドーカット部、37…第2層多結晶シリコン膜(アンドープ)、37₁…アンドープ領域、37₂…ボロン・ドープ領域、38…p型外部ベース層、39₁、39₂…酸化膜、40…p型内部ベース層、41…第3層多結晶シリコン膜(ヒ素ドープ)、42…n型エミッタ層、43₁…ベース電極、43₂…エミッタ電極。

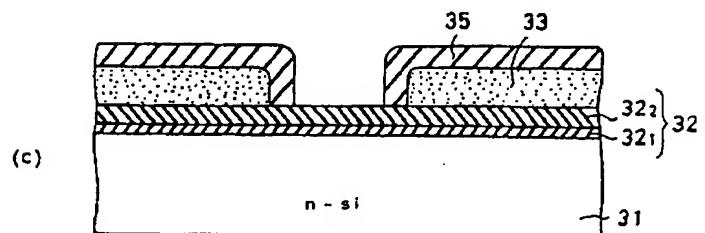
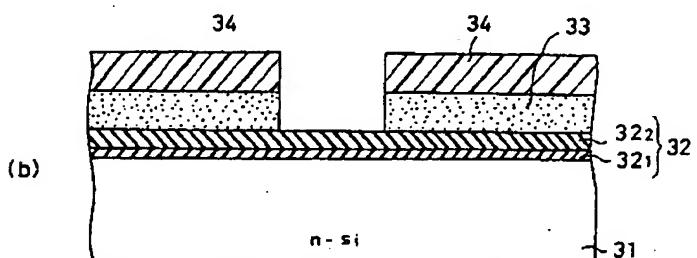
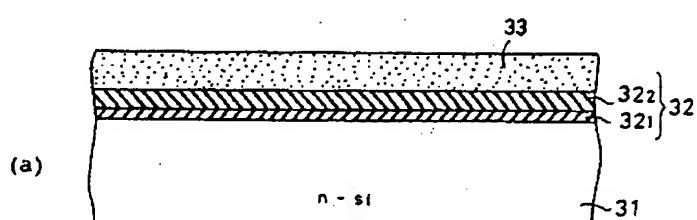


第1図(1)

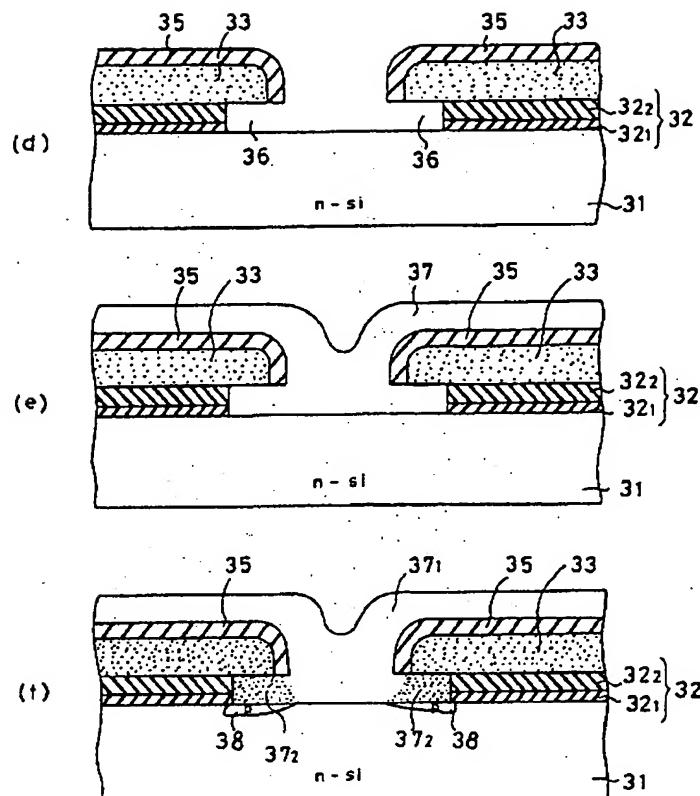


第1図(2)

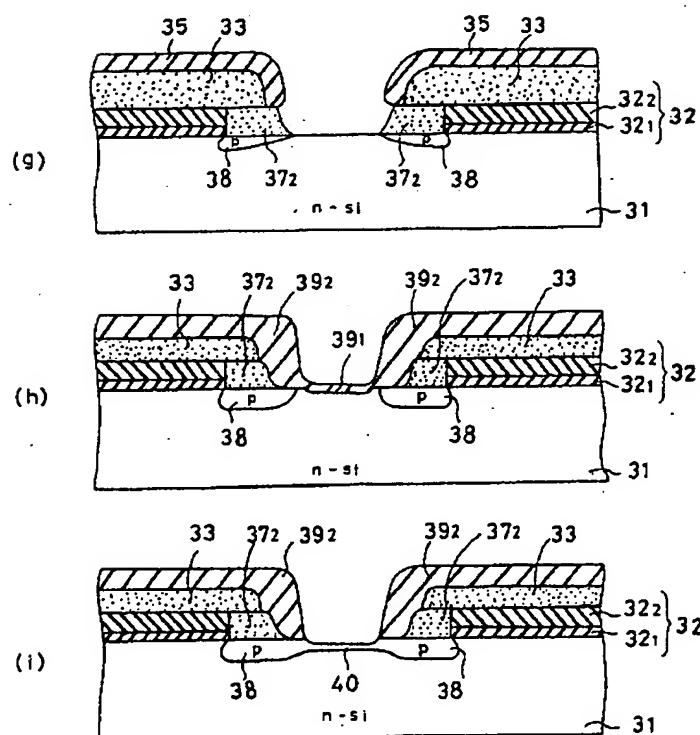
第1図(3)



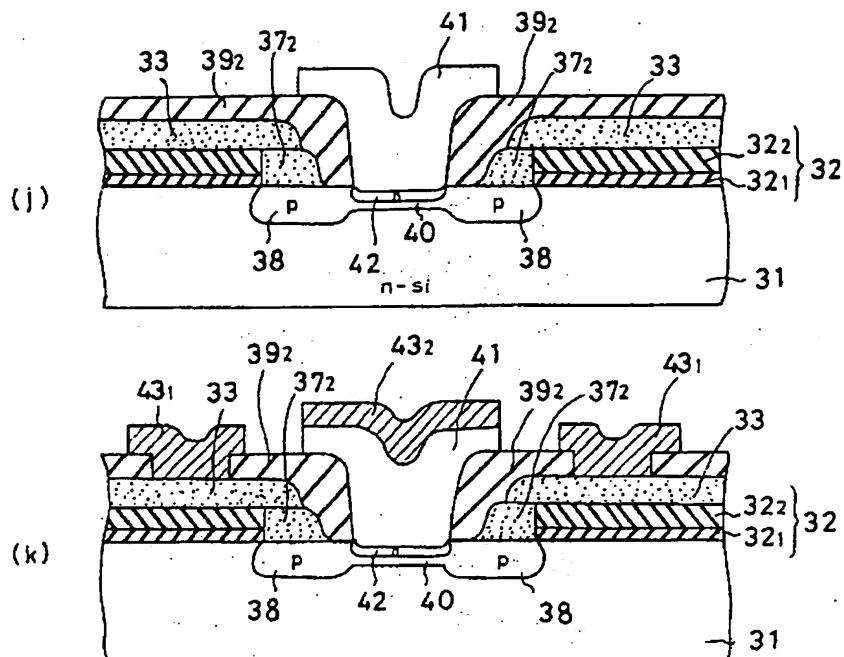
第2図(1)



第2図(2)



第2図(3)



第2 図(4)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.